

PAT-NO: JP02003174034A
DOCUMENT-IDENTIFIER: JP 2003174034 A
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD
THEREFOR
PUBN-DATE: June 20, 2003

INVENTOR-INFORMATION:

NAME	COUNTRY
YUKI, KOICHIRO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP2001374529

APPL-DATE: December 7, 2001

INT-CL (IPC): H01L021/331, H01L029/732, H01L029/737

ABSTRACT:

PROBLEM TO BE SOLVED: To cancel the problem that impurities are not doped to the sufficient region of a collector layer, high-frequency characteristics are reduced due to Kirk's effect, and parasitic capacity that is generated between a base and a collector is increased when SIC implantation is made to the entire surface of the collector layer since the SIC (selectively ion-implanted collector) implantation is vertically carried out to the surface of the collector layer from the opening section of the base in a manufacturing method of the conventional HBTs (hetero bipolar transistors).

SOLUTION: If SIC implantation is made from a slanting position when the SIC implantation is carried out from a base opening section 118, the SIC

implantation is not made to the entire surface of a collector layer 108, the parasitic capacity that is generated between a base and a collector can be reduced, a collector implantation region 125 is extended at the lower portion of the collector layer 108, and hence Kirk's effect is inhibited, thus improving high-frequency characteristics such as a cut-off frequency f_T and the maximum oscillation frequency f

COPYRIGHT: (C) 2003, JPO

【特許請求の範囲】

【請求項1】 半導体基板内に形成されたコレクタ層と、前記コレクタ層上に形成されたベース層と、前記ベース層上に形成されたエミッタ層と、前記コレクタ層内に埋め込まれ前記ベース層の下に形成されたコレクタ注入領域とを備えた半導体装置であって、前記コレクタ注入領域は、前記ベース層と前記コレクタ層とが接合する領域では幅方向の寸法が前記エミッタ層の幅方向の寸法以下であり、かつ前記コレクタ層の深さ方向へ進行するにしたがって幅方向の寸法が増加することを特徴とする半導体装置。

【請求項2】 エミッタ層上に形成された第1の絶縁層と、

前記第1の絶縁層を貫通する開口部と、

前記第1の絶縁層および前記エミッタ層の側面を覆う状態にベース層上に形成されたサイドウォールと、

前記開口部を通じて前記エミッタ層と接続されたエミッタ導体層と、

前記ベース層から前記エミッタ導体層よりも外側に引き出されたベース導体層と、

前記第1の絶縁層および前記サイドウォール上に形成され、前記エミッタ導体層と前記ベース導体層とを絶縁分離する第2の絶縁層とを備えた請求項1記載の半導体装置。

【請求項3】 コレクタ層は、シリコン単結晶層であり、

ベース層は、シリコン・ゲルマニウムまたはシリコン・ゲルマニウム・カーボンの混晶層であり、

エミッタ層は、シリコン単結晶層であり、

ベース導体層は、シリコン単結晶層またはシリコン・ゲルマニウムまたはシリコン・ゲルマニウム・カーボンの混晶層であり、

エミッタ導体層は、シリコン多結晶層またはシリコン単結晶層である請求項2記載の半導体装置。

【請求項4】 コレクタ層が形成された半導体基板を準備する工程と、前記コレクタ層上にベース層を形成する工程と、前記ベース層上に第3の絶縁層を形成する工程と、前記第3の絶縁層上に第1の絶縁層を形成する工程と、前記第1の絶縁層を貫通する開口部を形成する工程と、前記開口部から前記コレクタ層に不純物を注入する工程と、前記第3の絶縁層を除去してエミッタ層を形成する工程とを含む半導体装置の製造方法であって、

前記注入工程は、前記半導体基板の垂直方向より所定の角度を持たせて注入することを特徴とする半導体装置の製造方法。

【請求項5】 コレクタ層が形成された半導体基板を準備する工程と、前記コレクタ層上にベース層を形成する工程と、前記ベース層上に第3の絶縁層を形成する工程と、前記第3の絶縁層上に第1の絶縁層を形成する工程と、ベース層上に前記第3の絶縁層および前記第1の絶

縁層の側面を覆うようにサイドウォールを形成する工程と、前記ベース層上のうち前記サイドウォールおよび前記第3の絶縁層の形成されていない領域上にベース導体層を形成する工程と、前記ベース導体層上および前記サイドウォール上および前記第1の絶縁層上に第2の絶縁層を形成する工程と、前記第1の絶縁層および前記第2の絶縁層を貫通する開口部を形成する工程と、前記開口部から前記コレクタ層に不純物を注入する工程と、前記第3の絶縁層を除去して前記開口部を通じて前記ベース層に接続するように前記第2の絶縁層上にエミッタ導体層を形成する工程と、前記エミッタ導体層から前記ベース層に不純物を拡散してエミッタ層を形成する工程とを含む半導体装置の製造方法であって、

前記注入工程は、前記半導体基板の垂直方向より所定の角度を持たせて注入することを特徴とする半導体装置の製造方法。

【請求項6】 注入工程は、開口部を形成するのに用いたレジストマスクを除去せず、かつ第3の絶縁層を除去する前に行う請求項4または5記載の半導体装置の製造方法。

【請求項7】 注入工程は、開口部を形成するのに用いたレジストマスクを除去した後であって、かつ第3の絶縁層を除去した後、エミッタ層を形成する前に行う請求項4または5記載の半導体装置の製造方法。

【請求項8】 所定の角度は変更可能である請求項4、5、6または7記載の半導体装置の製造方法。

【請求項9】 コレクタ層には、シリコン単結晶層を用い、

ベース層には、シリコン・ゲルマニウムまたはシリコン・ゲルマニウム・カーボンの混晶層を用い、

エミッタ層には、シリコン単結晶層を用い、

ベース導体層には、シリコン単結晶層またはシリコン・ゲルマニウムまたはシリコン・ゲルマニウム・カーボンの混晶層を用い、

エミッタ導体層には、シリコン多結晶層またはシリコン単結晶層を用い、

第3の絶縁層には、シリコン酸化膜を用い、

第1の絶縁層には、シリコン塗化膜を用い、

第2の絶縁層には、シリコン酸化膜を用い、

サイドウォールには、シリコン塗化膜を用いる請求項4、5、6、7または8記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特にバイポーラトランジスタのデバイス構造およびその製造方法に関するものである。

【0002】

【従来の技術】近年、シリコンのバイポーラトランジスタにヘテロ構造を導入することにより、高周波領域の動作を実現させるヘテロバイポーラトランジスタ（以下、

『HBT』と称する。) の開発が進められ、実用化も始まっている。これまでコストの高い化合物半導体でしか実現できなかった周波数領域で動作する素子をシリコンプロセスと親和性のよい材料で形成できるため、コストや集積化の面で大きなメリットがある。特に、MOSトランジスタと同時に形成して集積化することにより高性能なBi-CMOS型LSIを実現できるため通信用デバイスとして有望である。これまでにさまざまな材料を用いたHBTが提案されているが、なかでもSi/Si_{1-x}Ge_x系(0 < x < 1)はSiとGeとの全率固溶の性質のために安定した混晶が得られ、また、SiとGeの格子定数の違いに起因する歪の効果を用いてバンドギャップを連続的に変えることができるなど有利な点があり、実用化が進んでいる。

【0003】以前に、ベース抵抗を低減することにより雑音や最大発振周波数などのデバイス特性を向上できる構造が特開平5-102171号公報において提案されている。これは、内部ベースに対してエミッタをセルフアラインに形成するとともに外部ベースを再成長させて形成することにより、エミッタと外部ベース間の距離を極限にまで小さくしてベース抵抗を大幅に低減できる構造を実現している。

【0004】以下、図13～22および図23を用いて、Si/Si_{1-x}Ge_x系を用いた場合の従来の半導体装置およびその製造方法について説明する。

【0005】図13は従来の技術により形成したHBTの断面構成図である。図13において、100はシリコン(Si)基板、101はN⁺型埋め込み層、102はN⁺型コレクタ引き出し層、103はディープトレーンチ、104は分離用P⁺型拡散層、105は第1の絶縁体、106は第2の絶縁体、107はシャロートレンチ、108はN⁻型コレクタ層、109は第4の絶縁層、110はシリコン/シリコン・ゲルマニウム(Si/Si_{1-x}Ge_x)層、113は第1の絶縁層、114は第1のサイドウォール、115は再成長P⁺型Si層、116は第2の絶縁層、118はベース開口部、119はエミッタ層、120は第2のサイドウォール、121は層間絶縁膜、122は金属配線、123は(111)ファセット、124は(311)ファセット、125はコレクタ注入領域、128はエミッタ電極、W1はベース開口幅寸法、W2は内部ベース幅寸法、W3は外部ベース間寸法である。図14から22においてもこれらの番号と同じものを使用する。

【0006】図13に示すように、HBTはNPNトランジスタであり、N型ドープされたポリシリコンからなるエミッタ層119、Si/Si_{1-x}Ge_x層110からなる内部ベース、再成長P⁺型Si層115からなる外部ベース、Si基板100にN型不純物をドープして形成したN⁺型埋め込み層101上にシリコン単結晶をエピタキシャル成長させて形成したN⁻型コレクタ層108

8で構成されている。

【0007】N⁻型コレクタ層108の表面付近は、N型不純物濃度が1×10¹⁷/cm³程度に調整されており、またN⁺型埋め込み層101およびN⁻型コレクタ引き出し層102を介して金属電極122に接続されている。

【0008】内部ベースであるSi/Si_{1-x}Ge_x層110に対してエミッタ層119はセルフアラインに位置がずれることなく正確に合わされており、内部ベースから外部ベースまでの距離が第1のサイドウォール114の厚さ(W3-W2)/2と等しくて短く設計されているためにベース抵抗が小さい。なお、素子間の分離はシャロートレンチ107およびディープトレーンチ103により行われている。

【0009】また、カーブ効果による高周波動作の低下を抑制するために、N⁻型コレクタ層108にSIC(Selectively Ion-Implanted Collector)注入を行っている。ここで、図23に示すように、ベース・コレクタ接合部下の全面にわたってN型ドープすることによってもカーブ効果は抑制できるが、ベース・コレクタ間の寄生容量が大きくなり、かえって電気特性を低下させてしまうため、ベース開口部118に対してセルフアラインでSIC注入を行っている。

【0010】上記のSIC注入は、内部ベース直下のコレクタ領域に選択的にN型不純物を注入してエピタキシャル層よりも濃度の高いコレクタ注入領域を形成することである。

【0011】なお、図13で示した従来の構造では、ベース開口部118に対してセルフアラインで開口部に垂直に上からSIC注入を行っている。

【0012】次に、従来の半導体装置の製造方法を図14～22を用いて説明する。

【0013】まず、図14に示すように、Si基板100にAs(ヒ素)注入を行うことによりN⁺型埋め込み層101を形成した後に、Siをエピタキシャル成長させることによりN⁻型コレクタ層108を形成する。その後、第1の絶縁体105と第2の絶縁体106とからなるディープトレーンチ103と第1の絶縁体105からなるシャロートレンチ107とを素子間分離のためにN⁻型コレクタ層108およびN⁺型埋め込み層101を貫いてSi基板100に到達するように埋め込む。ここで、第2の絶縁体106、第1の絶縁体105には、例えばポリシリコンと酸化シリコンが用いられる。また、リーク電流を抑えるためにディープトレーンチ103の下部には分離用P⁺型拡散層104を形成する。その後、P(リン)注入によりN⁻型コレクタ引き出し層102が形成される。次に、Si基板100上に第4の絶縁層109を形成し、その後に、N⁻型コレクタ層108(HBTが形成される部分)上の第4の絶縁層109のみ除去する。第4の絶縁層109には、例えば堆積シリ

コン酸化膜またはポリシリコン膜を用いるが、後の工程で $Si/Si_{1-x}Ge_x$ 層 110 (図 15) を成長させて外部ベース 115 (図 18) を形成するためには、 $Si_{1-x}Ge_x$ または Si の堆積しやすいポリシリコン膜の方が好ましい。以上が HBT 形成前の工程である。

【0014】次に、図 15 に示すように、HBT の内部ベースとなる $Si/Si_{1-x}Ge_x$ 層 110 を UHV (Ultra High Vacuum) - CVD 法によって成長させる。成長前には Si 表面のコンタミネーションを除去するため、 Si 基板 100 の表面を前洗浄し、さらに、成長直前に UHV - CVD チャンバ内で熱処理して N- 型コレクタ層 108 の表面に形成された自然酸化膜を除去する。

【0015】また、 $Si/Si_{1-x}Ge_x$ 層 110 は $Si_{1-x}Ge_x$ スペーサ層、 $Si_{1-x}Ge_x$ ベース層、 Si キャップ層からなる。例えば、温度 700°C でジシランとゲルマンの混合ガスを供給して $Si_{0.15}Ge_{0.85}$ スペーサ層を成長させる。次に、ジシランとゲルマンの混合ガスにジボランガスを添加して、ボロンを $2 \times 10^{18} / cm^3$ 含む $Si_{0.15}Ge_{0.85}$ ベース層を成長させる。さらに、ジシランだけで Si キャップ層を成長させる。なお、 $Si_{0.15}Ge_{0.85}$ スペーサ層、 $Si_{0.15}Ge_{0.85}$ ベース層、 Si キャップ層の膜厚は、例えば 40 nm, 40 nm, 30 nm である。

【0016】次に、図 16 に示すように、第 3 の絶縁層 112、第 1 の絶縁層 113 をこの順に $Si/Si_{1-x}Ge_x$ 層 110 上に重ねて形成する。後で第 1 の絶縁層 113 に異方性エッチングにより開口部を設け、第 3 の絶縁層 112 をウェットエッチングするために、第 3 の絶縁層 112、第 1 の絶縁層 113 の材質は、ドライエッチングおよびウェットエッチングに対する選択性を考慮して選ばなければならない。そのような材質としては、例えば第 3 の絶縁層 112 にはシリコン酸化膜が、第 1 の絶縁層 113 にはシリコンナイトライド膜が適当である。第 3 の絶縁層 112 と第 1 の絶縁層 113 とは内部ベースとなる領域の幅 (W2) に合わせてドライエッチングによりバターニングされる。

【0017】次に、図 17 に示すように、絶縁層 112、113 を堆積した後、ドライエッチングによって第 3 の絶縁層 112、第 1 の絶縁層 113 から構成される 2 重の絶縁層の側面にサイドウォール 114 を形成する。サイドウォール 114 の材質は、後に第 3 の絶縁層 112 をウェットエッチングする際にエッチングされず、に残る材質であることが必要である。そのような材質は例えばシリコンナイトライド膜がある。

【0018】次に、図 18 に示すように、サイドウォール 114 を形成後、露出している $Si/Si_{1-x}Ge_x$ 層 110 の表面を成長核として、UHV - CVD 法によって Si または $Si_{1-x}Ge_x$ のエピタキシャル層 115 を再成長させる。この際、第 1 の絶縁層 113、サイドウォ

オール 114 の材質と再成長の UHV - CVD の成長条件によって、 $Si/Si_{1-x}Ge_x$ 層 110 上には膜が成長して (111) フェセット 123、(311) フェセット 124 が形成される一方、第 1 の絶縁層 113、サイドウォール 114 上には成長しない。再成長中に $In-situ$ に P 型不純物をドーピングしても良いし、後からイオン注入でドーピングしてもよい。エピタキシャル層 115 を 500 nm 程度に厚く成長させればベース抵抗が低減できる。なお、 $In-situ$ とは、プロセスを実行中の “その場所において”、別の処理 (代表的なものは分析等) を行うことを意味する。

【0019】このように、再成長により外部ベースとなるエピタキシャル層 115 を形成して第 1 のサイドウォール 114 の外側で外部ベースと内部ベースを接続するため、マージンを設けることは必要ないのでベースの取り出しに伴う寄生抵抗は非常に小さく抑えることができる。

【0020】次に、図 19 に示すように、第 2 の絶縁層 116 を形成する。これはエミッタ電極 128 (図 22) 形成時にベース・エミッタ間を絶縁するためである。第 2 の絶縁層 116 にはシリコン酸化膜等が用いられる。

【0021】次に、図 20 に示すように、ベースの開口部 118 を形成する。ドライエッティングにより、前記第 2 の絶縁層 116、第 1 の絶縁層 113 をエッティングして第 3 の絶縁層 112 でエッチングを止める。ベース開口部 118 は、W2 の間に開口されなければならないので、リソグラフィの合わせマージンを確保しておく必要がある。例えば、W2 を 0.4 μm とした場合、ベース開口部 118 の W1 を 0.2 μm として左右に 0.1 μm のマージンを確保する。またこのとき、第 3 の絶縁層 112 は他の第 2 の絶縁層 116 および第 1 の絶縁層 113 とエッチャントの組み合わせについて十分大きな選択比が確保されている必要性がある。この後、ドライエッティングに用いたレジストマスク (図示せず) を用いて開口部 118 の垂直上方から N 型不純物をイオン注入し、第 3 の絶縁層 112 および $Si/Si_{1-x}Ge_x$ 層 110 を貫通して N- 型コレクタ層 108 に SiC 注入を行うことによりコレクタ注入領域 125 を形成する。なお、SiC 注入はベース開口部 118 の垂直上方から行われているため、開口部 118 の底となった部分には SiC 注入されない。

【0022】その後、図 21 に示すように、第 3 の絶縁層 112 をウェットエッチングで除去して $Si/Si_{1-x}Ge_x$ 層 110 を露出させる。この際、第 1 のサイドウォール 114 はエッチングされない材質である必要がある。エッチング液がフッ酸である場合には、例えばシリコンナイトライドが適当である。

【0023】次に、図 22 に示すように、開口部 118 を通して N+ 型にドープされたポリ Si を堆積すること

によりエミッタ電極128を形成した後、熱処理を施してN型不純物をSi/SiGe層110へ拡散することにより、キャップSi層中にエミッタ層119を形成する。その後、配線工程に移り、エミッタ電極、ベース電極およびコレクタ電極と接続される金属配線122を形成する。なお、エミッタ電極128は、ポリSiに代えてSi単結晶も適用可能である。このようにして、従来の半導体装置が形成される。

【0024】なお、図23は、従来の半導体装置において、N型不純物の注入をベース・コレクタ接合部下の全体に行ってコレクタ注入領域125を形成した場合を示している。コレクタ注入領域125以外の構成は図13で説明したものと同じである。

【0025】

【発明が解決しようとする課題】しかしこのような従来の技術においては、次のような問題点が存在する。

【0026】従来のHBTでは、高周波動作時のカーカ効果による特性の低下を抑制するためにN型コレクタ層108にSiC注入を行っている。SiC注入は余分な寄生容量の発生を抑制することにより高周波特性の低下を防ぐために、エミッタ直下のベース・コレクタ接合付近のみに行なうのが理想である。例えば、図23のようにベース・コレクタ接合面全面を覆うようにSiC注入を行うと、ベース・コレクタ間で発生する寄生容量が増加し、これによって高周波特性を低下させてしまう。このため、SiC注入はベース開口部118に対してセルフアラインで行われる。

【0027】このとき、図21に示すように、W2の幅の内部ベース全面にSiC注入することが理想であるが、内部ベースの幅W2とベース開口部118の幅W1との間に差を設けることにより合わせマージンを取ったため底ができ、この底に対応するN型コレクタ層108の部分にはSiC注入されず、ベース開口部118から第1のサイドウォール114までの領域に対応するN型コレクタ層108の部分はコレクタの不純物濃度が低い。したがって、SiC注入の行われない周辺部分は、高周波動作時にカーカ効果が起りやすくなり、その結果デバイスの遮断周波数が低下する。

【0028】本発明は、上記課題を解決するためになされたものであり、その目的とするところは、ベース・エミッタがセルフアラインに形成され、内部ベースに対して合わせマージンを見込んで形成されたHBTにおいて、ベース・コレクタ間の寄生容量を低減するとともにカーカ効果を抑制することにより高周波特性の低下を防いで高周波特性の向上を図ることである。

【0029】

【課題を解決するための手段】上記の目的を達成するために請求項1記載の半導体装置は、半導体基板内に形成されたコレクタ層と、コレクタ層上に形成されたベース層と、ベース層上に形成されたエミッタ層と、コレクタ

層内に埋め込まれベース層の下に形成されたコレクタ注入領域とを備えた半導体装置であって、コレクタ注入領域は、ベース層とコレクタ層とが接合する領域では幅方向の寸法がエミッタ層の幅方向の寸法以下であり、かつコレクタ層の深さ方向へ進行するにしたがって幅方向の寸法が増加することを特徴とする。

【0030】請求項1記載の発明によれば、コレクタ注入領域は、ベース層とコレクタ層とが接合する領域では幅方向の寸法がエミッタ層の幅方向の寸法以下であり、かつコレクタ層の深さ方向へ進行するにしたがって幅方向の寸法が増加するため、ベース層とコレクタ層とが接合する領域ではベース・コレクタ間の寄生容量が低減され、また、コレクタ層の下方へ行くにしたがってコレクタ注入領域が拡がるのでカーカ効果が抑制される。その結果、低電流領域における遮断周波数f_Tおよび最大発振周波数f_{max}などの高周波特性の低下を防止して高周波特性の向上を図ることができる。

【0031】請求項2記載の半導体装置は、請求項1記載の半導体装置において、エミッタ層上に形成された第1の絶縁層と、第1の絶縁層を貫通する開口部と、第1の絶縁層およびエミッタ層の側面を覆う状態にベース層上に形成されたサイドウォールと、開口部を通じてエミッタ層と接続されたエミッタ導体層と、ベース層からエミッタ導体層よりも外側に引き出されたベース導体層と、第1の絶縁層およびサイドウォール上に形成され、エミッタ導体層とベース導体層とを絶縁分離する第2の絶縁層とを備えている。

【0032】請求項2記載の発明によれば、請求項1記載の発明と同様の効果を発揮する。

【0033】請求項3記載の半導体装置は、請求項2記載の半導体装置において、コレクタ層は、シリコン単結晶層であり、ベース層は、シリコン・ゲルマニウムまたはシリコン・ゲルマニウム・カーボンの混晶層であり、エミッタ層は、シリコン単結晶層であり、ベース導体層は、シリコン単結晶層またはシリコン・ゲルマニウムまたはシリコン・ゲルマニウム・カーボンの混晶層であり、エミッタ導体層は、シリコン多結晶層またはシリコン単結晶層である。

【0034】請求項3記載の発明によれば、請求項2記載の発明と同様の効果を発揮する。

【0035】請求項4記載の半導体装置の製造方法は、コレクタ層が形成された半導体基板を準備する工程と、コレクタ層上にベース層を形成する工程と、ベース層上に第3の絶縁層を形成する工程と、第3の絶縁層上に第1の絶縁層を形成する工程と、第1の絶縁層を貫通する開口部を形成する工程と、開口部からコレクタ層に不純物を注入する工程と、第3の絶縁層を除去してエミッタ層を形成する工程とを含む半導体装置の製造方法であって、注入工程は、半導体基板の垂直方向より所定の角度50を持たせて注入することを特徴とする。

【0036】請求項4記載の発明によれば、不純物を所定の角度を持たせて注入するため、ベース層直下では開口寸法に略対応するコレクタ層の部分にのみ不純物を注入することができるので、ベース・コレクタ間で発生する寄生容量を低減することができ、また、コレクタ層の下方に行くにしたがって不純物の注入領域が幅方向に拡がるので、開口寸法が絶縁層（エミッタ層）の幅方向の寸法より小さく形成されていても開口寸法と絶縁層（エミッタ層）の幅方向寸法との差により生じた底部分に対応するコレクタ層の部分に不純物を注入でき、カーブ効果が抑制される。したがって、低電流領域における遮断周波数 f_T および最大発振周波数 f_{max} などの高周波特性の低下を防止して高周波特性の向上を図ることができ

る。

【0037】請求項5記載の半導体装置の製造方法は、コレクタ層が形成された半導体基板を準備する工程と、コレクタ層上にベース層を形成する工程と、ベース層上に第3の絶縁層を形成する工程と、第3の絶縁層上に第1の絶縁層を形成する工程と、ベース層上に第3の絶縁層および第1の絶縁層の側面を覆うようにサイドウォールを形成する工程と、ベース層上のうちサイドウォールおよび第3の絶縁層の形成されていない領域上にベース導体層を形成する工程と、ベース導体層上およびサイドウォール上および第1の絶縁層上に第2の絶縁層を形成する工程と、第1の絶縁層および第2の絶縁層を貫通する開口部を形成する工程と、開口部からコレクタ層に不純物を注入する工程と、第3の絶縁層を除去して開口部を通じてベース層に接続するように第2の絶縁層上にエミッタ導体層を形成する工程と、エミッタ導体層からベース層に不純物を拡散してエミッタ層を形成する工程とを含む半導体装置の製造方法であって、注入工程は、半導体基板の垂直方向より所定の角度を持たせて注入することを特徴とする。

【0038】請求項5記載の発明によれば、不純物を所定の角度を持たせて注入するため、ベース層直下では開口寸法に略対応するコレクタ層の部分にのみ不純物を注入することができるので、ベース・コレクタ間で発生する寄生容量を低減することができ、また、コレクタ層の下方に行くにしたがって不純物の注入領域が幅方向に拡がるので、開口寸法が絶縁層（エミッタ層）の幅方向寸法より小さく形成されていても開口寸法と絶縁層（エミッタ層）の幅方向寸法との差により生じた底部分に対応するコレクタ層の部分に不純物を注入でき、カーブ効果が抑制される。したがって、低電流領域における遮断周波数 f_T および最大発振周波数 f_{max} などの高周波特性の低下を防止して高周波特性の向上を図ることができる。

【0039】請求項6記載の半導体装置の製造方法は、請求項4または5記載の半導体装置の製造方法において、注入工程は、開口部を形成するのに用いたレジストマスクを除去する前であって、かつ第3の絶縁層を除去

する前に行う。

【0040】請求項6記載の発明によれば、請求項4または5記載の発明と同様の効果を発揮する。

【0041】請求項7記載の半導体装置の製造方法は、請求項4または5記載の半導体装置の製造方法において、注入工程は、開口部を形成するのに用いたレジストマスクを除去した後であって、かつ第3の絶縁層を除去した後、エミッタ層を形成する前に行う。

【0042】請求項7記載の発明によれば、請求項4または5記載の発明と同様の効果を発揮する。

【0043】請求項8記載の半導体装置の製造方法は、請求項4、5、6または7記載の半導体装置の製造方法において、所定の角度は変更可能である。

【0044】請求項8記載の発明によれば、請求項4、5、6または7記載の発明と同様の効果を発揮する。

【0045】請求項9記載の半導体装置の製造方法は、請求項4、5、6、7または8記載の半導体装置の製造方法において、コレクタ層には、シリコン単結晶層を用い、ベース層には、シリコン・ゲルマニウムまたはシリコン・ゲルマニウム・カーボンの混晶層を用い、エミッタ層には、シリコン単結晶層を用い、ベース導体層には、シリコン単結晶層またはシリコン・ゲルマニウムまたはシリコン・ゲルマニウム・カーボンの混晶層を用い、エミッタ導体層には、シリコン多結晶層またはシリコン単結晶層を用い、第3の絶縁層は、シリコン酸化膜を用い、第1の絶縁層には、シリコン窒化膜を用い、第2の絶縁層には、シリコン酸化膜を用い、サイドウォールには、シリコン窒化膜を用いる。

【0046】請求項9記載の発明によれば、請求項4、5、6、7または8記載の発明と同様の効果を発揮する。

【0047】

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて説明する。

【0048】(第1の実施の形態) 図1は本発明の第1の実施の形態における半導体装置を示す断面図である。図1において、従来の技術と対応するものは同じ符号を使用しており、100はSi基板、101はN⁺型埋め込み層、102はN⁺型コレクタ引き出し層、103はディープレンチ、104は分離用P⁺型拡散層、105は第1の絶縁体、106は第2の絶縁体、107はシリコートレンチ、108はN⁻型コレクタ層、109は第4の絶縁層、110はSi/Si_{1-x}Ge_x層、113は第1の絶縁層、114は第1のサイドウォール、115は再成長P⁺型Si層、116は第2の絶縁層、118はベース開口部、119はエミッタ層、120は第2のサイドウォール、121は層間絶縁膜、122は金属配線、123は(111)ファセット、124は(311)ファセット、125はコレクタ注入領域、128はエミッタ電極、W1はベース開口幅、W2は内部ベース

11

幅、W3は外部ベース間距離である。なお、これらの符号は第2の実施の形態および第3の実施の形態においても対応するものは同じ符号を使用する。図9において127はレジストマスクである。

【0049】図1では、基本的な構造はほぼ従来の技術と同じであるが、従来の技術では、コレクタ注入領域125がSi基板100に対して垂直に分布しているのに対して、本実施の形態ではN-型コレクタ層108表面から下方に行くにしたがって拡がった形状(台形)をしている点が異なる。

【0050】特に重要なのは、従来の技術では内部ベース直下のN-型コレクタ層108においてベース開口幅寸法W1でコレクタ注入領域125が分布しているのに対して、本実施の形態ではより広い内部ベース寸法W2とほぼ同じ幅寸法でコレクタ注入領域125が分布していることである。このような不純物分布により、内部ベース周辺部のN-型コレクタ層108でカーブ効果の発生を抑制することができる。

【0051】また、ベース・コレクタ接合部下の全体にSiC注入された図23のような従来の技術の構造と比較すると、本実施の形態では内部ベース・コレクタ接合部付近においてコレクタ注入領域125の断面積が小さいために、ベース・コレクタ間に寄生容量を低減することができる。

【0052】したがって、低電流領域における遮断周波数frおよび最大発振周波数fmaxなど高周波特性の向上が実現できる。

【0053】以下、このようなデバイス構造を形成する本発明の半導体装置の製造方法について、図2～12を用いて説明する。

【0054】(第2の実施の形態)図2～9は本発明の第2の実施の形態における半導体装置の製造工程を示す断面図である。なお、図2～8までは従来の半導体装置の製造工程と同一であるため、説明を省略する。

【0055】本実施の形態の特徴は、図9に示すように、従来の技術の製造工程とは異なり、レジストマスク127を用いてベース開口部118をドライエッチングで形成した後、そのレジストマスク127を除去せずに斜め上方からSiC注入を行わずに斜め上方からSiC注入する点である。

【0056】通常レジストマスク127は1μm程度と厚いために注入角度の上限値に与える影響が大きく、注入角度の上限はベース開口部118の幅寸法W1とレジストマスク127の膜厚等によって決まる。したがって、例えば、第3の絶縁層112の膜厚を100nm、第1の絶縁層113の膜厚を100nm、第2の絶縁層116の膜厚を100nm、Si/Si_{1-x}Ge_x層110の膜厚を100nm、レジストマスク127の膜厚を1μm、ベース開口部118の幅寸法W1を400nmとすると、注入角度126のタンジェントが1.2μm

12

(レジストマスク127の膜厚1μm+第1の絶縁層113の膜厚0.1μm+第2の絶縁層116の膜厚0.1μm)と0.4μmとの比0.4/1.2=0.33となって、ベース開口部118端よりも最大0.2×0.33=0.07μm外側のN-型コレクタ層108にまでSiC注入することができる。したがって、リソグラフィのマージン0.1μmにはほぼ相当する部分にSiC注入することができる。

【0057】その後、開口部118を通してN⁺型にドープされたポリSiを堆積することによりエミッタ電極128を形成した後、熱処理を施してN型不純物をSi/Si_{1-x}Ge_x層110へ拡散することにより、キャップSi層中にエミッタ層119を形成する。その後、配線工程に移り、エミッタ電極、ベース電極およびコレクタ電極と接続される金属配線122を形成する工程を経て、図12に示すHBTが形成される。なお、エミッタ電極128は、ポリSiに代えてSi単結晶も適用可能である。

【0058】本実施の形態では、以上のような工程を採用することにより、Si/Si_{1-x}Ge_x層110からなる内部ベースとベース開口部118との合わせマージンを取るために形成された第1の絶縁層113からなる底にほぼ対応するN-型コレクタ層108の領域にまでイオン注入を行うことができるため、ベース・コレクタ間に発生する寄生容量を低減することができるとともにカーブ効果を抑制することのできる半導体装置を製造することができる。したがって、遮断周波数frおよび最大発振周波数fmaxなど高周波特性の向上が実現できる半導体装置を製造することができる。

【0059】(第3の実施の形態)図10、11は本発明の第3の実施の形態における半導体装置の製造工程を示す断面図である。なお、図10に示された製造工程の前までの製造工程は、第2の実施の形態と同様に、従来の半導体装置の製造工程と同一であり、図2～8に示された製造工程によって行われる。第2の実施の形態と異なる点は、レジストマスク127および第2の絶縁層112を除去した後にSiC注入が行われる点である。

【0060】第3の実施の形態では、図10に示すように、ベース開口部118を形成した後、SiC注入を行わずにレジストマスク127を除去し、次にウェットエッチングを用いて第3の絶縁層112をも除去してSi/Si_{1-x}Ge_x層110を露出させる。

【0061】その後、図11に示すように、注入角度126をもってSiC注入を斜め上方から行い、コレクタ注入領域125を形成する。

【0062】レジストマスク127が除去されているため、第2の実施の形態に比べて注入角度を大きくすることができる。絶縁層113、116の膜厚およびベース開口部118幅寸法W1が第2の実施の形態と同じ

(W1=0.4μm)場合、ベース開口部118端から

最大0.4μm外側のN型コレクタ層108に注入することが可能である。ベース開口部118の幅寸法W1が0.2μmであっても、最大0.2μm外側のN型コレクタ層108に注入することが可能である。

【0063】その後、第2の実施の形態と同様にエミッタ電極128を埋め込み、エミッタ層119を形成する工程とエミッタ・コレクタ・ベースの各電極と接続する金属配線122を形成する工程を経て、図12に示すHBTが形成される。

【0064】本実施の形態では、以上のような工程を採用することにより、Si/Si_{1-x}Ge層110からなる内部ベースとベース開口部118との合わせマージンを取るために形成された第1の絶縁層113からなる底にほぼ対応するN型コレクタ層108の領域にまでイオン注入を行うことができる。特にベース開口部118の幅寸法W1が第2の実施の形態より狭い場合でも底にほぼ対応するN型コレクタ層108の領域にまでイオン注入を行うことができるため、ベース・コレクタの寄生容量を低減することができるとともにカーブ効果を抑制することのできる半導体装置を製造することができる。したがって、遮断周波数f_Tおよび最大発振周波数f_{max}など高周波特性の向上が実現できる半導体装置を製造することができる。

【0065】なお、各実施の形態において、ヘテロ構造を有するバイポーラトランジスタ(HBT)に対して実施したが、通常のバイポーラトランジスタに対しても適用可能である。

【0066】また、内部ベースにSiGe混晶層を用いたHBTに対して実施したが、他のSiGeC混晶層を用いたHBTに対しても適用可能である。

【0067】

【発明の効果】本発明は、エミッタ層上に形成された開口部に対してセルフアラインでコレクタ層に不純物を注入することによりコレクタ注入領域を形成する半導体装置において、その開口部から不純物を注入する際に角度を持たせて注入するため、コレクタ注入領域の形状が、ベース・コレクタ接合部付近ではその断面積が開口寸法に略対応し、コレクタ層の下方に行くにしたがって幅方向に広がる形状、すなわち断面形状が台形状となっているので、内部ベースの周辺部にもコレクタ注入領域が形成される。その結果、ベース・コレクタ間の寄生容量が低減され、かつカーブ効果が抑制されるため、低電流領域における遮断周波数f_Tおよび最大発振周波数f_{max}などの高周波特性の低下を防止して高周波特性の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における半導体装置を示す断面構成図

【図2】本発明の第2および第3の実施の形態における半導体装置の製造工程を示す断面構成図

【図3】本発明の第2および第3の実施の形態における半導体装置の製造工程を示す断面構成図

【図4】本発明の第2および第3の実施の形態における半導体装置の製造工程を示す断面構成図

【図5】本発明の第2および第3の実施の形態における半導体装置の製造工程を示す断面構成図

【図6】本発明の第2および第3の実施の形態における半導体装置の製造工程を示す断面構成図

【図7】本発明の第2および第3の実施の形態における半導体装置の製造工程を示す断面構成図

10 10

【図8】本発明の第2および第3の実施の形態における半導体装置の製造工程を示す断面構成図

【図9】本発明の第2の実施の形態における半導体装置の製造工程を示す断面構成図

【図10】本発明の第3の実施の形態における半導体装置の製造工程を示す断面構成図

【図11】本発明の第3の実施の形態における半導体装置の製造工程を示す断面構成図

20 20

【図12】本発明の第2および第3の実施の形態における半導体装置の製造工程を示す断面構成図

【図13】従来の半導体装置の断面構成図

【図14】従来の半導体装置の製造工程を示す断面構成図

【図15】従来の半導体装置の製造工程を示す断面構成図

【図16】従来の半導体装置の製造工程を示す断面構成図

【図17】従来の半導体装置の製造工程を示す断面構成図

30 30

【図18】従来の半導体装置の製造工程を示す断面構成図

【図19】従来の半導体装置の製造工程を示す断面構成図

【図20】従来の半導体装置の製造工程を示す断面構成図

【図21】従来の半導体装置の製造工程を示す断面構成図

【図22】従来の半導体装置の製造工程を示す断面構成図

40 40

【図23】他の従来の半導体装置の断面構成図

【符号の説明】

100 Si基板

101 N⁺型埋め込み層

102 N⁺型コレクタ引き出し層

103 ディープトレンチ

104 分離用P⁺型拡散層

105 第1の絶縁体

106 第2の絶縁体

107 シャロートレンチ

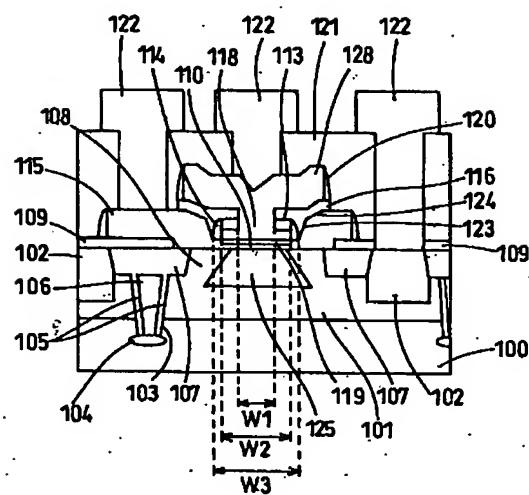
50 108 N⁺型コレクタ層

109 第4の絶縁層
 110 Si/Si_{1-x}Ge_x層
 112 第3の絶縁層
 113 第1の絶縁層
 114 第1のサイドウォール
 115 再成長P⁺型Si層
 116 第2の絶縁層
 118 ベース開口部
 119 エミッタ層
 120 第2のサイドウォール

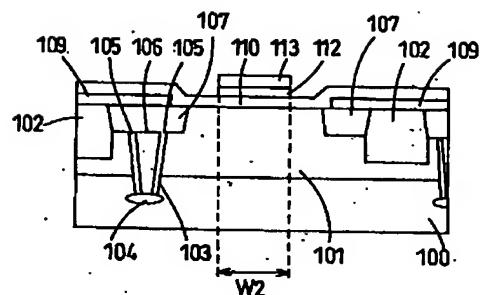
10

121 層間絶縁膜
 122 金属配線
 123 (111) ファセット
 124 (311) ファセット
 125 コレクタ注入領域
 126 注入角度
 127 レジストマスク
 128 エミッタ電極

【図1】

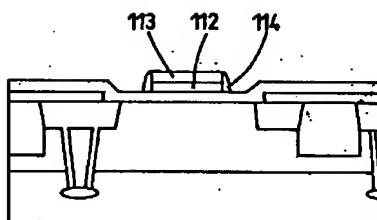


【図4】



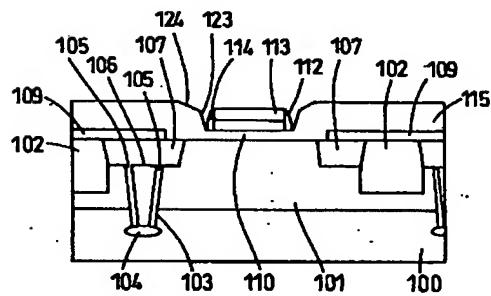
100 Si基板
101 N⁺埋め込み層
102 N⁺型コレクタ引き出し層
103 ディープトレニチ
104 分離用P⁺型抜抜層
105 第1の絶縁層
106 第2の絶縁層
107 シャロートレンチ
108 第4の絶縁層
110 Si/Si_{1-x}Ge_x層
112 第3の絶縁層
113 第1の絶縁層
114 第1のサイドウォール
W2 内部ベース幅

【図5】



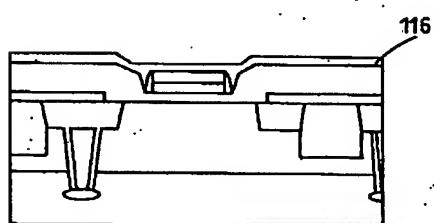
112 第3の絶縁層
113 第1の絶縁層
114 第1のサイドウォール

【図6】



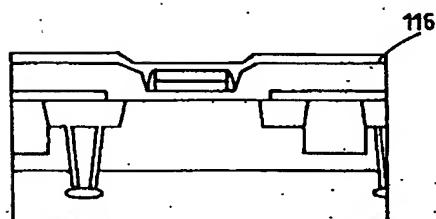
100 Si基板
101 N⁺埋め込み層
102 N⁺型コレクタ引き出し層
103 ディープトレニチ
104 分離用P⁺型抜抜層
105 第1の絶縁層
106 第2の絶縁層
107 シャロートレンチ
108 第4の絶縁層
110 Si/Si_{1-x}Ge_x層
112 第3の絶縁層
113 第1の絶縁層
114 第1のサイドウォール
115 再成長P⁺型E層
123 (111)ファセット
124 (311)ファセット

【図7】



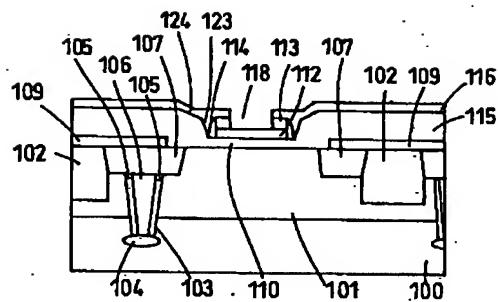
116 第2の絶縁層

【図19】



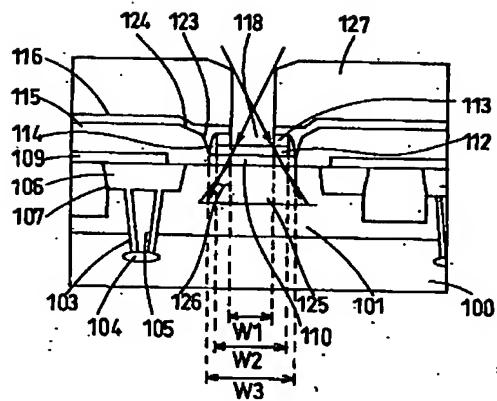
116 第2の絶縁層

【図8】



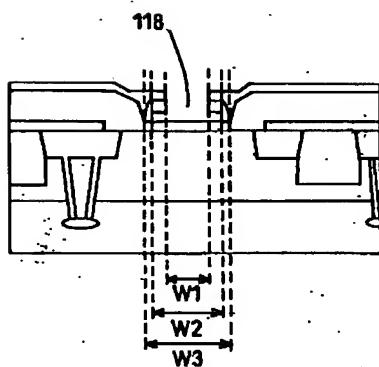
100 Si基板
101 N⁺型埋め込み層
102 N⁺型コレクタ引き出し層
103 ディープレンチ
104 分離用P⁺型拡散層
105 第1の絶縁体
106 第2の絶縁体
107 シャローレンチ
109 第4の絶縁層
110 Si/Si_{1-x}Ge_x層
112 第3の絶縁層
113 第1の絶縁層
114 第1のサイドウォール
115 再成長P⁺型Si層
116 第2の絶縁層
118 ベース開口部
123 (111)ファセット
124 (311)ファセット

【図9】



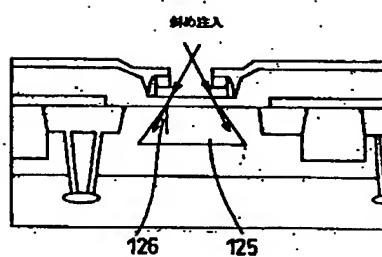
100 Si基板
101 N⁺型埋め込み層
102 N⁺型コレクタ引き出し層
103 ディープレンチ
104 分離用P⁺型拡散層
105 第1の絶縁体
106 第2の絶縁体
107 シャローレンチ
109 第4の絶縁層
110 Si/Si_{1-x}Ge_x層
112 第3の絶縁層
113 第1の絶縁層
114 第1のサイドウォール
116 再成長P⁺型Si層
118 ベース開口部
123 (111)ファセット
124 (311)ファセット
125 コレクタ注入領域
126 注入角度
127 レジストマスク

【図10】



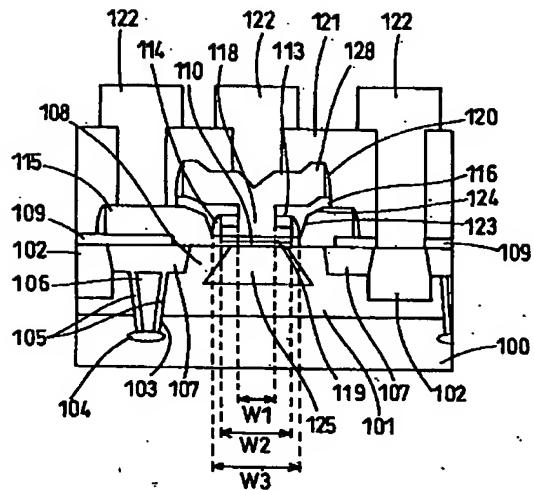
118 ベース開口部

【図11】



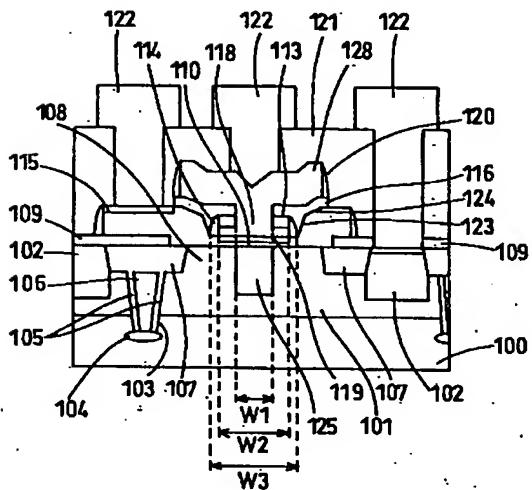
125 コレクタ注入領域
126 注入角度

【図12】



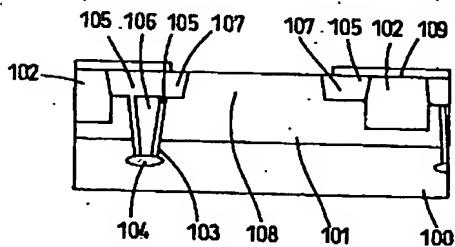
100	Si基板	118	第2の絶縁層
101	N+埋め込み層	119	ベース開口部
102	N+コレクタ引き出し層	120	エミッタ層
103	ダイブレンチ	121	第2のサイドウォール
104	分離用P+埋め込み層	122	隣接絶縁膜
105	第1の絶縁層	123	金属配線
106	第20絶縁層	124	(111)フaset
107	シャローブレンチ	125	(311)フaset
108	N+コレクタ層	126	コレクタ漏出領域
109	第40絶縁層	128	エミッタ電極
110	Si/Si _{1-x} O _x 層	W1	ベース開口板
113	第1の絶縁層	W2	内部ベース板
114	第1のサイドウォール	W3	外部ベース距離
115	再成長P+埋め込み層		

【图13】



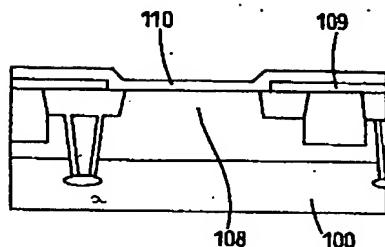
100	Si基板	109	第4の絶縁層
101	N ⁺ 型埋め込み層	110	Si/Si _x -Ge 層
102	N ⁺ 型コレクタ引き出し層	113	第1の絶縁層
103	ディープルレンチ	114	第1のサイドウォール
104	分歧用P ⁺ 型拡散層	115	再成長P ⁺ 型E層
105	第1の絶縁層	116	第2の絶縁層
106	第20電極層	118	ベース開口部
107	シャーロットレンチ	119	エミッタ層
108	N ⁺ 型コレクタ層	120	第2のサイドウォール

【图14】



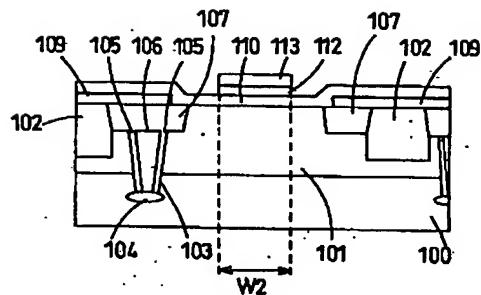
- 100 S₁基盤
- 101 N⁺對塗め込み層
- 102 N⁺型コレクタ引き出し層
- 103 ディープトレンチ
- 104 分離用P⁺型接合層
- 105 第1の絶縁体
- 106 第2の絶縁体
- 107 シャロートレンチ
- 108 N⁺型コレクタ層
- 109 第4の絶縁層

〔图15〕



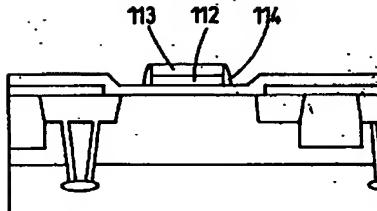
- 100 Si基板
- 108 N⁻型コレクタ層
- 108 第4の絶縁層
- 110 Si/Si_{1-x}Ge_x 層

【図16】



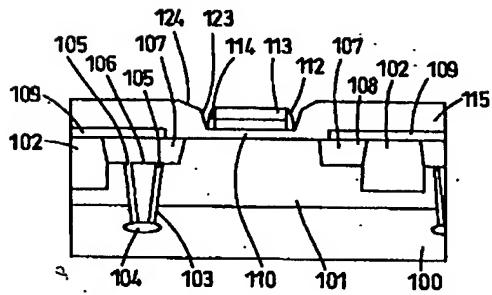
100 S1基板
 101 N⁺型焼成込み層
 102 N⁺型コレクタ引き出し層
 103 ディープトレンド
 104 分離用P⁺型拡散層
 105 第1の絶縁層
 106 第2の絶縁層
 107 シャロートレンチ
 108 第4の絶縁層
 110 Si/Si_xGe_{1-x}層
 112 第3の絶縁層
 113 第1の絶縁層
 114 第1のサイドウォール
 W2 内部ベース層

【図17】



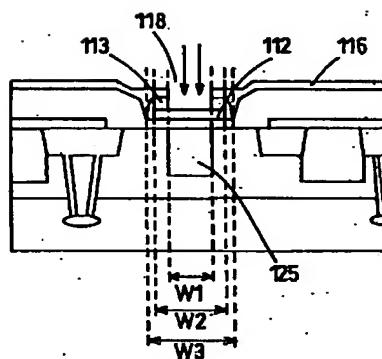
112 第3の絶景層
113 第1の絶景層
114 第1のサイドウォール

【图18】



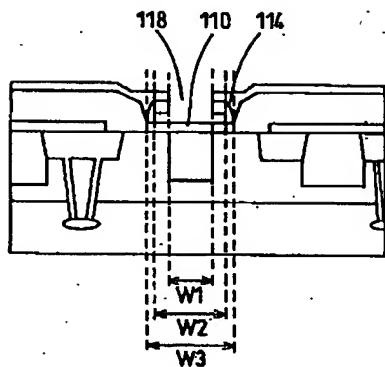
100 Si基板
 101 N⁺型埋め込み層
 102 N⁺型コレクタ引き出し
 103 ディープレンチ
 104 分離用P⁺型拡散層
 105 第1の絕縁体
 106 第2の絕縁体
 107 シャーロンチ
 108 第4の絶縁層
 110 Si/Si_xGe_y層
 112 第3の絶縁層
 113 第1の絶縁層
 114 第1のサイドウォール
 115 再成長P⁺型Si層
 123 (111)ファセット
 124 (311)ファセット

【图20】



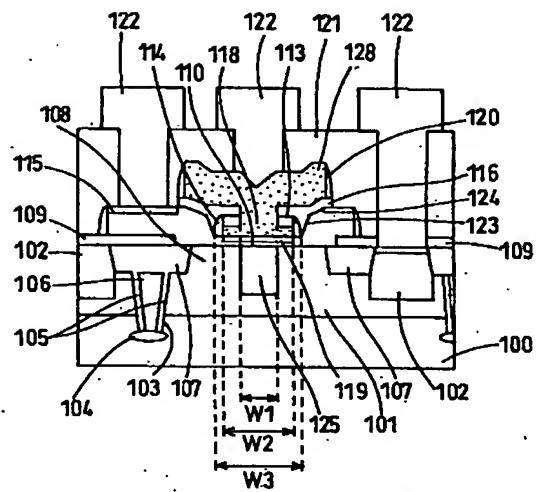
112 第3の乾燥層
 113 第1の乾燥層
 116 第2の乾燥層
 118 ベース開口部
 125 コレクタ注入領域
 W1 ベース開口幅
 W2 内部ベース幅
 W3 外部ベース距離

【図21】



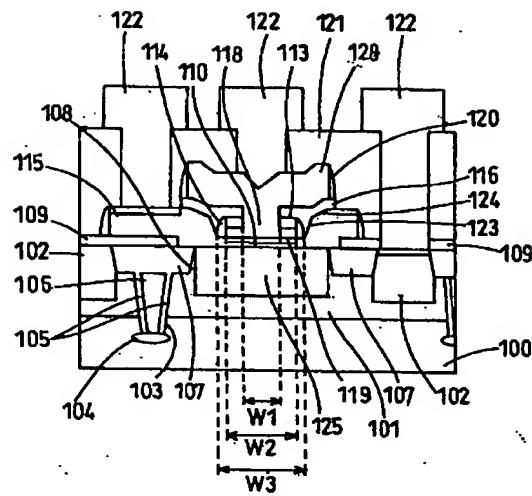
110 Si/Si_{1-x}Ge_x層
114 第1のサイドウォール
118 ベース開口部
W1 ベース開口幅
W2 内部ベース幅
W3 外部ベース間距離

【図22】



100 Si基板	116 第2の絶縁層
101 N ⁺ 型埋め込み層	118 ベース開口部
102 N ⁺ 型コレクタ引き出し層	119 エミッタ層
103 ディープレンチ	120 第2のサイドウォール
104 分離用P ⁺ 型拡散層	121 層間絶縁層
105 第1の絶縁層	122 金属配線
106 第2の絶縁層	123 (111)ファセット
107 シャローレンチ	124 (311)ファセット
108 N ⁺ 型コレクタ層	125 コレクタ注入領域
109 第4の絶縁層	126 エミッタ電極
110 Si/Si _{1-x} Ge _x 層	W1 ベース開口幅
111 第1の絶縁層	W2 内部ベース幅
112 第1のサイドウォール	W3 外部ベース間距離
115 増成長P ⁺ 型Si層	

【図23】



100 Si基板	116 第2の絶縁層
101 N ⁺ 埋め込み層	118 ベース開口部
102 N ⁺ 型コレクタ引き出し層	119 エミッタ層
103 ディープレンチ	120 第2のサイドウォール
104 分離用P ⁺ 埋め込み層	121 層間絶縁層
105 第1の絶縁体	122 金属配線
106 第2の絶縁体	123 (111)ファセット
107 シャローレンチ	124 (311)ファセット
108 第4の絶縁層	125 コレクタ注入領域
110 Si/Si _{1-x} Ge _x 層	128 エミッタ電極
113 第1の絶縁層	W1 ベース開口部
114 第1のサイドウォール	W2 内部ベース層
115 再成長P ⁺ 型Si層	W3 外部ベース層距離